

1994-342874 JAPIO
 TI SEMICONDUCTOR DEVICE HIGH IN INTEGRATION DEGREE
 IN SHIBATA SUSUMU; KOYAMA KAZUNARI
 PA OKI ELECTRIC IND CO LTD, JP (CO 000029)
 PI **JP 06342874 A** 19941213 Heisei
 AI JP1993-130168 (JP05130168 Heisei) 19930601
 SO PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol. 94,
 No. 12
 IC ICM (5) H01L025-10
 ICS (5) H01L025-11; (5) H01L025-18
 AB PURPOSE: To facilitate handling of packages in a laminating process
 and to improve reliability by making the packages have the same construction
 irrespective of positions in lamination, in a semiconductor device of
 a high integration degree wherein the packages each packaging at least
 one semiconductor element are laminated in a plurality.
 CONSTITUTION: When the number of wirings provided for one
 semiconductor element is made two and layers of packages 15a to 15d are made four in
 number, eight discrete wirings 16a, 16b, 17a to 17f and others are
 provided respectively on the surface and rear sides of each of the
 packages 15a to 15d and the discrete wirings 16a 17f on the surface
 side and the discrete wirings on the rear side are so disposed as to be
 shifted by two pitches from each other, while the discrete wirings on these
 sides are connected through via holes 26a, 26b and 27a to 27f together.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-342874

(43) 公開日 平成6年(1994)12月13日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 25/10				
25/11				
25/18				
			H 0 1 L 25/ 14	Z
			審査請求 未請求 請求項の数 5	OL (全 8 頁)

(21) 出願番号 特願平5-130168

(22) 出願日 平成5年(1993)6月1日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 柴田 進

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 小山 一成

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

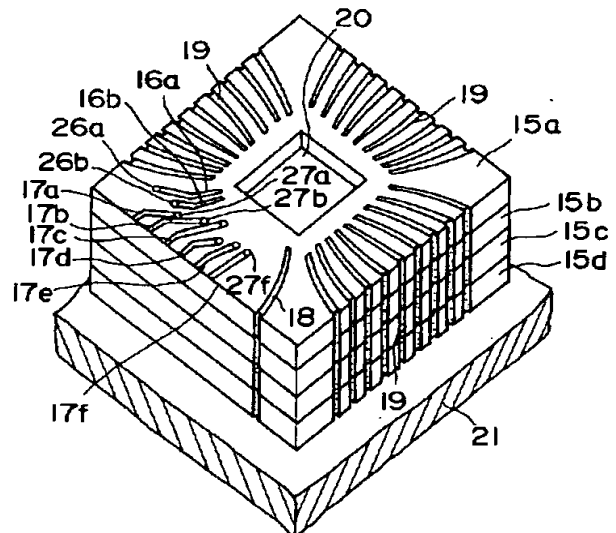
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 高集積半導体装置

(57) 【要約】

【目的】 少なくとも1個の半導体素子を搭載したパッケージを複数積層した高集積半導体装置において、前記パッケージを、積層位置に関係しない同一構成として、積層工程における取り扱いを容易にし、信頼性の向上を図るものである。

【構成】 1個の半導体素子に個別に設ける配線数を2本、パッケージ15a~15dを4層としたとき、各パッケージ15a~15dの表面側および裏面側にそれぞれ8本の個別配線16a、16b、17a~17f、22a、22b、23a~23fを設け、表面側の個別配線16a~17fと裏面側の個別配線22a~23fとを2ピッチずらして配置すると共に、その個別配線間をビアホール26a、26b、27a~27fで接続するものである。



本発明の一実施例を示す斜視図

【特許請求の範囲】

【請求項1】 少なくとも1個の半導体素子を搭載した部材をN枚積層した高集積半導体装置において、前記半導体素子間に共通に接続する共通配線は部材の側面等に設け、前記半導体素子に個別に接続するA×N本（ただし、Aは1個の半導体素子に個別に設ける配線数）の個別配線は、部材の表面側および裏面側にそれぞれ設け、表面側の個別配線と裏面側の個別配線とを、Aピッチずらして配置すると共に、その個別配線間をヴィアホールで接続することを特徴とする高集積半導体装置。

【請求項2】 少なくとも1個の半導体素子を搭載した部材をN枚積層した高集積半導体装置において、前記半導体素子間に共通に接続する共通配線および、前記半導体素子毎に接続するA×N本の個別配線は、部材の中心から放射状に、角度θの間隔で、表面側および裏面側に設け、この表面側の個別配線と裏面側の個別配線とを、A×θの間隔でずらして配置すると共に、その個別配線間をヴィアホールで接続したことを特徴とする高集積半導体装置。

【請求項3】 前記部材の少なくとも一部、または部材間に、放熱フィンを設けたことを特徴とする請求項1、請求項2記載の高集積半導体装置。

【請求項4】 前記部材は、パッケージ実装であることを特徴とする請求項1、請求項2、請求項3記載の高集積半導体装置。

【請求項5】 前記部材は、TAB実装であることを特徴とする請求項1、請求項2、請求項3記載の高集積半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の半導体素子で構成した半導体装置に関し、特に、半導体素子を搭載したパッケージ（TAB、QFP、TCP）が重ね合わされ、積層構造になっている高集積半導体装置に関するものである。

【0002】

【従来の技術】従来、この種の高集積半導体装置は、例えば、TAB技術入門、（株）工業調査会、1990年1月25日発行、あるいは、特開平3-295266号公報に開示され、その構成をそれぞれ図12および図14に示す。

【0003】図12に示す高集積半導体装置は、SRAMをTAB実装後に積層実装した分解斜視図であり、一例として、4層を示す。図において、1a～1dは第1層パッケージ～第4層パッケージであり、この第1層パッケージ1a～第4層パッケージ1dには、それぞれ図示せぬ半導体素子を搭載する。2はマザーボードであり、このマザーボード2は、この第1層パッケージ1a～第4層パッケージ1dを搭載する。3a～3dは、第

1層リード～第4層リードであり、この第1層リード3a～第4層リード3dは、それぞれ第1層パッケージ1a～第4層パッケージ1dに設けられる。4a～4dは、個別端子であり、この個別端子4a～4dは、それぞれ第1層リード3a～第4層リード3dに接続し、第1層パッケージ1a～第4層パッケージ1dの半導体素子（図示せず）を選択するためのチップセレクト端子である。5a～5iは共通端子であり、この共通端子5a～5dは、それぞれ第1層パッケージ1a～第4層パッケージ1dの各リードがすべて重なって接続し、例えば、アドレス端子、データ端子、電源端子である。

【0004】なお、図13はTABテープの一部を示す平面図であり、特に、図13（A）は実装前を示し、図13（B）は実装後を示す。図において、6は実装前の個別端子4a～4dを設けたTABテープである。このTABテープ6を実装する場合、個別端子4a～4dの積層される場所が決定されるので、穴7があけられ、不要部分が除去される。例えば、第1層目に使用される場合には、図13（B）に示すように、穴7があけられ、個別端子4aが残り、個別端子4b～4dが除去される。

【0005】この構成による高集積半導体装置では、実装前に、各パッケージ1a～1dを何層目に設置するかを決めておき、TABテープ6は、前もって、各層に応じた内部結線をするものである。

【0006】また、図14に示す高集積半導体装置は、パッケージ同志を金属球を挟んで積層実装した部分断面図であり、一例として4層を示す。図において、8は半導体素子、9はこの半導体素子8を封止する封止樹脂、10は金属球であり、この金属球10は、パッケージ1a～1d同志を電氣的に接続する。11はスルーホール、12ははんだであり、このはんだ12は、スルーホール11上に、金属球10を固定する。13はボンディングワイヤ、14a～14dは、素子セレクト配線パターンである。

【0007】なお、図15は、素子セレクト配線パターン14a～14dの構成を示す平面図である。

【0008】この構成による高集積半導体装置では、実装前に、各パッケージ1a～1dを何層目に設置するかを決めておく。そこで、金属球10を第1層パッケージ1a～第4層パッケージ1dに対応して配置し、はんだ12によって固定するものである。

【0009】

【発明が解決しようとする課題】しかしながら、上記構成の高集積半導体装置では、個々のパッケージ（TABテープを含めて）が、何層目に配置されるかにより、個々に配線を必要とする。このため、製造工数がかかり、しかも、積層工程における取り扱いが面倒であり、信頼性が低下するという問題点があった。

【0010】本発明は、製造工数がかかり、しかも、積

層工程における取り扱いが面倒であり、信頼性が低下するという問題点を除去するため、全く同一構成のパッケージを作成し、これを順に積層するようにした、優れた高集積半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明に係る高集積半導体装置は、積層した半導体素子間に共通に接続する共通配線をパッケージの側面に設け、半導体素子毎に接続する $A \times N$ 本（ただし、 A は半導体素子1個について個別に設ける配線数、 N は積層するパッケージの枚数）の個別配線をパッケージの表面側および裏面側にそれぞれ設け、表面側の個別配線と裏面側の個別配線とを、 A ピッチずらして配置すると共に、その個別配線間をビアホールで接続するもの、あるいは、上記共通配線および $A \times N$ 本の個別配線をパッケージの中心から放射状に、角度 θ の間隔で、表面側および裏面側に設け、この表面側の個別配線と裏面側の個別配線とを、 $A \times \theta$ の間隔でずらして配置すると共に、その個別配線間をビアホールで接続するものである。

【0012】

【作用】本発明は、同一構成のパッケージを、単に積み重ねるのみであるから、積層工程における取り扱いが簡単になり、信頼性を向上することができる。

【0013】

【実施例】図1は本発明に係る高集積半導体装置の一実施例を示す斜視図であり、一例として4層（ $N=4$ ）を示し、各素子の個別配線（電極）は2本（ $A=2$ ）とする。図において、15a～15dは、同一構成のパッケージであり、第1層～第4層に配置する。このパッケージ15a～15dは、両面配線構造になっており、その表面側配線の要部を図1に示し、その裏面側配線の要部を図2に示し、積層状態における両面配線の関係を図3に示す。この表面側配線（図1、図3参照）において、16aおよび16bは、素子セレクト用表面配線であり、この素子セレクト用表面配線16aおよび16bは、各層のパッケージ15a～15dに搭載した素子（図示せず）の個別電極にそれぞれボンディングワイヤ（図示せず）を介して接続する（全く当然のことながらフリップチップ方式であってもよい）。17a～17fは素子セレクト用接続表面配線、18は共通表面配線、19は他の共通表面配線、20はキャビティであり、このキャビティ20に、素子（図示せず）が実装される。フリップチップ実装の時は異なる実装となるが本発明のフィロソフィーには影響を与えない。21はパッケージ15a～15dを搭載する基板である。

【0014】また、裏面側配線（図2、図3参照）において、22aおよび22bは素子セレクト用裏面配線、23a～23fは素子セレクト用接続裏面配線、24は共通裏面配線、25はCu箔などのベタパターンであり、放熱、接地等を持ち、素子（図示せず）の発熱状態

によっては金属が存在しなくてもよい。

【0015】また、図3に示す積層状態における両面配線において、26aおよび26bは素子セレクト用ビアホールであり、この素子セレクト用ビアホール26aおよび26bは、素子セレクト用表面配線16a、16bと素子セレクト用裏面配線22a、22bをそれぞれ接続する。27a～27fは、素子セレクト用接続ビアホールであり、この素子セレクト用接続ビアホール27a～27fは素子セレクト用接続表面配線17a～17fと素子セレクト用接続裏面配線23a～23fをそれぞれ接続する。28はビアホールであり、このビアホール28は共通表面配線18と共通裏面配線24とを接続する。29aおよび29bは、基板21上に設けた素子セレクト用基板配線、30a～30fは、基板21上に設けた素子セレクト用接続基板配線、31は基板21上に設けた共通基板配線である。

【0016】なお、図3において、パッケージ15a～15fを積層した状態では、上方にあるパッケージ、例えば15aの素子セレクト用裏面配線22a、22b、および素子セレクト用接続裏面配線23a～23dは、それぞれ下方にあるパッケージ、例えば、15bの素子セレクト用接続表面配線17a～17fに接触して電氣的に接続する。

【0017】また、上記素子セレクト用表面配線16a、16b、素子セレクト用接続表面配線17a～17f、素子セレクト用裏面配線22a、22b、素子セレクト用接続裏面配線27a～27fを、一括して個別配線と称する。

【0018】また、図3において、素子セレクト用ビアホール26a、26b、素子セレクト用接続ビアホール27a～27fは斜行して図示されているが、これは素子セレクト用表面配線16a、16b、素子セレクト用接続表面配線17a～17fと、素子セレクト用裏面配線26a、26b、素子セレクト用接続裏面配線27a～27fとが2ピッチずれているためである。

【0019】次に、上記構成の高集積半導体装置の所望の素子（図示せず）を選択する動作について説明する。まず、パッケージ15dに搭載された素子（図示せず）を選択する場合、基板21の素子セレクト用基板配線29a、29bを選択すると、それぞれ、この素子セレクト用基板配線29a、29b—パッケージ15dの素子セレクト用裏面配線22a、22b—パッケージ15dの素子セレクト用ビアホール26a、26b—パッケージ15dの素子セレクト用表面配線16a、16b—図示せぬボンディングワイヤを介してパッケージ15dに搭載した素子（図示せず）の個別の電極に接続し、選択することができる。

【0020】また、パッケージ15cに搭載された素子（図示せず）を選択する場合、基板21の素子セレクト用接続基板配線30a、30bを選択すると、それぞ

れ、この素子セレクト用接続基板配線 30 a, 30 b-パッケージ 15 d の素子セレクト用接続裏面配線 23 a, 23 b-パッケージ 15 d の素子セレクト用接続ビアホール 27 a, 27 b-パッケージ 15 d の素子セレクト用接続表面配線 17 a, 17 b-パッケージ 15 c の素子セレクト用裏面配線 22 a, 22 b-パッケージ 15 c の素子セレクト用ビアホール 26 a, 26 b-パッケージ 15 c の素子セレクト用表面配線 16 a, 16 b-図示せぬボンディングワイヤを介してパッケージ 15 c に搭載した素子（図示せず）の個別の電極に接続し、選択することができる。

【0021】また、パッケージ 15 b に搭載された素子（図示せず）を選択する場合、基板 21 の素子セレクト用接続基板配線 30 c, 30 d を選択すると、それぞれ、この素子セレクト用接続基板配線 30 c, 30 d-パッケージ 15 d の素子セレクト用接続裏面配線 23 c, 23 d-パッケージ 15 d の素子セレクト用接続ビアホール 27 c, 27 d-パッケージ 15 d の素子セレクト用接続表面配線 17 c, 17 d-パッケージ 15 c の素子セレクト用接続裏面配線 23 a, 23 b-パッケージ 15 c の素子セレクト用接続ビアホール 27 a, 27 b-パッケージ 15 c の素子セレクト用接続表面配線 17 a, 17 b-パッケージ 15 b の素子セレクト用接続裏面配線 22 a, 22 b-パッケージ 15 b の素子セレクト用ビアホール 26 a, 26 b-パッケージ 15 b の素子セレクト用表面配線 16 a, 16 b-図示せぬボンディングワイヤを介してパッケージ 15 b に搭載した素子（図示せず）の個別の電極に接続し、選択することができる。

【0022】また、パッケージ 15 a に搭載された素子（図示せず）を選択する場合、基板 21 の素子セレクト用接続基板配線 30 e, 30 f を選択すると、それぞれ、この素子セレクト用接続基板配線 30 e, 30 f-パッケージ 15 d の素子セレクト用接続裏面配線 23 e, 23 f-パッケージ 15 d の素子セレクト用接続ビアホール 27 e, 27 f-パッケージ 15 d の素子セレクト用接続表面配線 17 e, 17 f-パッケージ 15 c の素子セレクト用接続裏面配線 23 c, 23 d-パッケージ 15 c の素子セレクト用接続ビアホール 27 c, 27 d-パッケージ 15 c の素子セレクト用接続表面配線 17 c, 17 d-パッケージ 15 b の素子セレクト用接続裏面配線 23 a, 23 b-パッケージ 15 b の素子セレクト用接続ビアホール 27 a, 27 b-パッケージ 15 b の素子セレクト用接続表面配線 17 a, 17 b-パッケージ 15 a の素子セレクト用裏面配線 22 a, 22 b-パッケージ 15 a の素子セレクト用ビアホール 26 a, 26 b-パッケージ 15 a の素子セレクト用表面配線 16 a, 16 b-図示せぬボンディングワイヤを介してパッケージ 15 a に搭載した素子（図示せず）の個別の電極に接続し、選択することができる。

【0023】図 4 は本発明に係る高集積半導体装置の他の実施例を示す斜視図であり、図 5 はパッケージの裏面側配線の要部を示し、図 6 は積層状態における両面配線の関係を示す図である。また、表面側配線の要部を図 4 に示す。一例として 4 層 ($N=4$) を示し、各素子の個別配線（電極）は 2 本 ($A=2$) とする。この実施例では、素子セレクト用表面配線 16 a, 16 b に対応した裏面位置に、素子セレクト用接続裏面配線 23 e, 23 f を設けるが、この素子セレクト用接続裏面配線 23 e, 23 f は素子セレクト用ビアホール 27 e, 27 f を介して素子セレクト用接続表面配線 17 e, 17 f にそれぞれ電気的に接続する。このように、素子セレクト用表面配線 16 a, 16 b および素子セレクト用接続表面配線 17 a ~ 17 f と素子セレクト用裏面配線 22 a, 22 b および素子セレクト用接続裏面配線 23 a ~ 23 f とは、それぞれ配線の 2 ピッチ分ずらせてある。このため、配線に必要な全体の幅 W_2 （図 6 参照）は、図 3 の幅 W_1 より小さくすることができる。

【0024】なお、各パッケージ 15 a ~ 15 d の素子（図示せず）を選択的に接続する動作については、図 1 と同様にできることは、もちろんである。

【0025】図 7 は本発明に係る高集積半導体装置の更に他の実施例を示す斜視図であり、図 8 はパッケージの裏面側配線の要部を示し、図 9 は積層状態における両面配線の関係を示す図であり、その表面側配線の要部を図 7 に示す。一例として 4 層 ($N=4$) を示し、各素子（図示せず）の個別配線（電極）は 2 本 ($A=2$) とする。そして、この実施例では、表示セレクト用接続表面配線 17 a ~ 17 f の間に、共通表面配線 19 を設置した場合である。

【0026】この実施例では図 3 と同様に素子セレクト用表面配線 16 a, 16 b および素子セレクト用接続表面配線 17 a ~ 17 f と素子セレクト用裏面配線 22 a, 22 b および素子セレクト用接続裏面配線 23 a ~ 23 f とは、それぞれ配線の 2 ピッチ分ずらせてある。

【0027】また、各パッケージ 15 a ~ 15 d の素子（図示せず）を選択的に接続する動作については、図 1 と同様にできることは、もちろんである。

【0028】図 10 は本発明に係る高集積半導体装置の更に他の実施例を示し、特に、図 10 (A) はパッケージの表面側配線の要部を示す平面図であり、図 10

(B) はパッケージの裏面側配線の要部を示す平面図である。また、図 11 は図 10 における両面配線の関係を示す図である。この実施例は、パッケージの形状を円盤状とし、各素子（図示せず）の各端子に共通に接続する共通配線および個別に接続する個別配線は、A 点を中心に角度 θ の間隔で、放射状に設けたものである。このため、個別配線から素子（図示せず）までの距離を短くすることができる。そして、図 11 に示すように、各パッケージの表面側配線に対する裏面側配線は、角度 $2 \times$

θ だけ回転した位置関係になる。図中、32はパッケージ15a、15bを位置決めするための貫通孔であり、積層後に、位置決めのために、この貫通孔32に棒を差し込むのに都合がよく、各棒に電気電導特性を持たせれば、各棒によって、素子（図示せず）を選別するリード線とすることができる。

【0029】なお、各パッケージ15a、15bの各素子（図示せず）を選択的に接続する動作については、図1と同様にできることは、もちろんである。

【0030】また、図10に示す実施例では、パッケージを2層としたが、これに限定せず、3層以上であっても同様にできることはもちろんである。

【0031】また、図1、図4、および図7に示す実施例ではパッケージを4層としたが、これに限定せず、2層、3層、5層以上であっても、同様にできることはもちろんである。

【0032】また、図10に示す実施例では、配線の長さを短くする場合を示したが、これに限定せず、個別配線と共通配線の一部、個別配線の一部と共通配線、個別配線の一部と共通配線の一部についても同様に実施することができることは、もちろんである。

【0033】また、図1、図4、図7、図10に示す実施例では、パッケージとして説明したが、これに限定せず、プリント基板を用いてもよいことは、もちろんである。

【0034】また、図1、図4、図7、図10に示す実施例では、LSIなどの素子の電氣的接続は、ボンディングワイヤを用いたが、これに限定せず、例えば、フリップチップ方式を用いてもよいことは、もちろんであり、素子の搭載後は、樹脂モールドまたは樹脂のポッティングなどで対応できることはもちろんである。

【0035】また、図1、図4、図7、図10に示す実施例では、パッケージを用いて説明したが、これに限定せず、TAB構造とし、アウターリードの形状で、先端を2層にし、更にその先を斜め横にずらして（立体的にし）、信号が横方向のリードに対応するように加工することにより実装できることは、もちろんであり、また、QFP等のパッケージにおいても、同様にできることは、もちろんである。

【0036】また、図1、図4、図7、図10に示す実施例では、パッケージを上下に積層する方法として、個別配線を単に重ね合わせして図示したが、これに限定せず、異方性導電接着剤を用いる方法、金属ボールを挟み込む方法、ワイヤを通す方法、これらを併用する方法など、既成の接続方法を用いることができることは、もちろんである。

【0037】また、図1、図4、図7、図10に示す実施例では、積層タイプとして示したが、これに限定せず、縦に素子を並べても、同様にできることは、もちろんである。

【0038】また、図1、図4、図7、図10に示す実施例では、TABまたはパッケージ内の素子数が、1個の場合について説明したが、これに限定せず、複数個設けても、同様にできることは、もちろんである。

【0039】また、TABまたはパッケージに電気回路を組み込んだり、放熱用フィンを組み込み、一層の性能向上をはかってもよいことは、もちろんである。

【0040】

【発明の効果】以上、詳細に説明したように、本発明に係る高集積半導体装置によれば、各パッケージは全て同一構成であり、しかも各素子を個別に選択し、動作することができるので、各素子の位置を前もって指定する必要がない。このため、取り扱いが簡単になり、信頼性が向上するなどの効果がある。

【図面の簡単な説明】

【図1】本発明に係る高集積半導体装置の一実施例を示す斜視図である。

【図2】図1のパッケージの裏面側配線を示す斜視図である。

【図3】図1の表面側配線と裏面側配線の関係を示す分解図である。

【図4】本発明に係る高集積半導体装置の他の実施例を示す斜視図である。

【図5】図4のパッケージの裏面側配線を示す斜視図である。

【図6】図4の表面側配線と裏面側配線の関係を示す分解図である。

【図7】本発明に係る高集積半導体装置の更に他の実施例を示す斜視図である。

【図8】図7のパッケージの裏面側配線を示す斜視図である。

【図9】図7の表面側配線と裏面側配線の関係を示す分解図である。

【図10】本発明に係る高集積半導体装置の更に他の実施例を示す平面図である。

【図11】図10の表面側配線と裏面側配線の関係を示す分解図である。

【図12】従来の高集積半導体装置を示す概略斜視図である。

【図13】図12のTABテープの一部を示す平面図である。

【図14】従来の他の装置を示す一部詳細な断面図である。

【図15】図14の素子セレクト配線パターンを構成を示す平面図である。

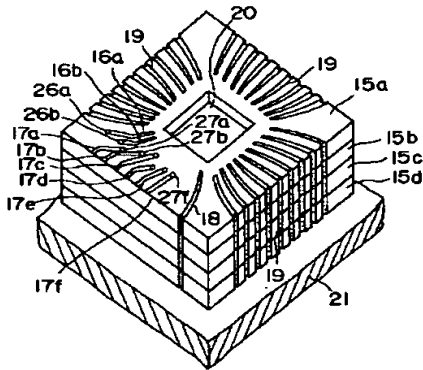
【符号の説明】

15a～15d	パッケージ
16a、16b	素子セレクト用表面配線
17a、17b	素子セレクト用接続表面配線
18、19	共通配線

- 21 基板
 22a、22b 素子セレクト用裏面配線
 23a～23f 素子セレクト用接続裏面配線
 24 共通裏面配線

- 26a、26b 素子セレクト用ビアホール
 27a～27f 素子セレクト用接続ビアホール
 29a、29b 素子セレクト用基板配線
 30a～30f 素子セレクト用接続基板配線

【図1】



本発明の一実施例を示す斜視図

【図2】

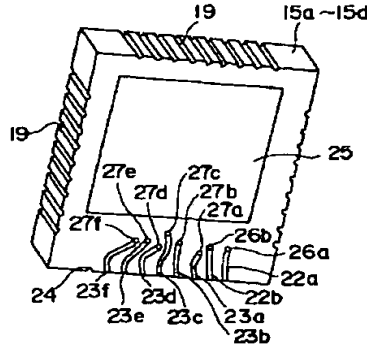
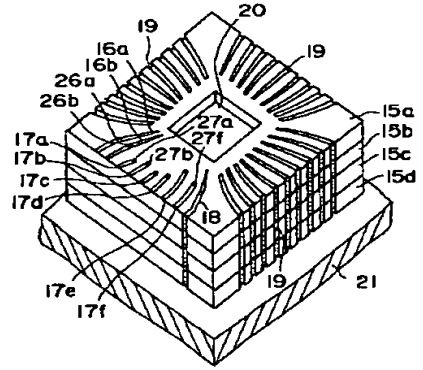


図1のパッケージの裏面側配線を示す斜視図

【図4】



本発明の他の実施例を示す斜視図

【図3】

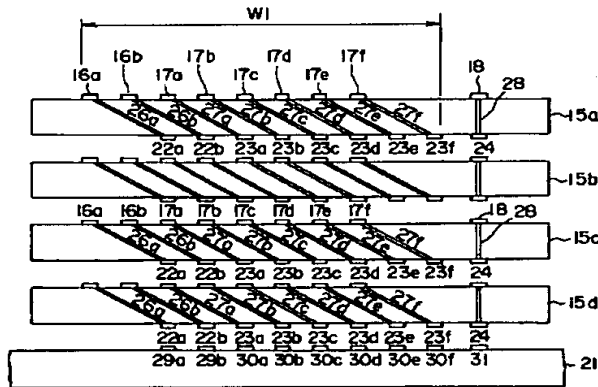
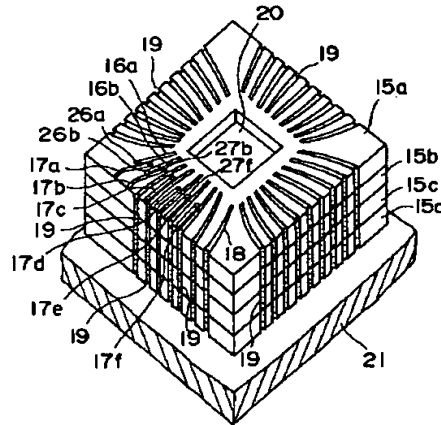


図1の表面側配線と裏面側配線の関係を示す図

【図7】



本発明の更に他の実施例を示す斜視図

【図5】

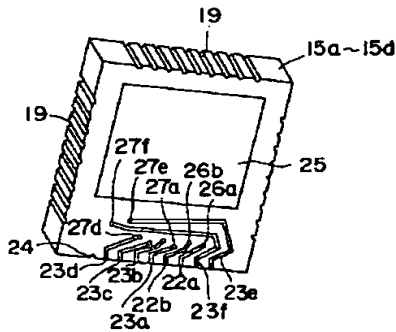


図4のパッケージの裏面側配線を示す図

【図8】

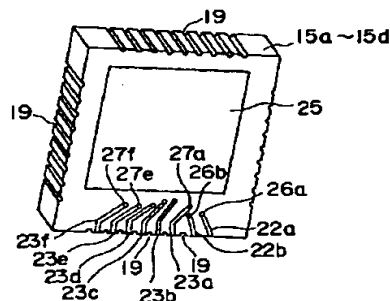


図7のパッケージの裏面側配線を示す図

【図15】

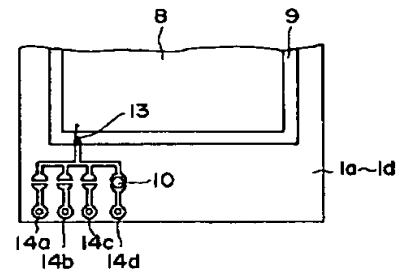


図14の素子セレクト配線パターンを構成を示す平面図

【図6】

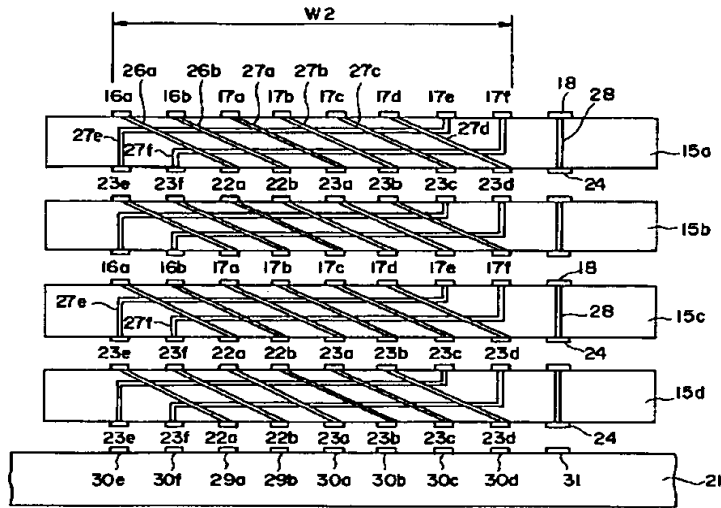


図4の表面側配線と裏面側配線の関係を示す図

【図9】

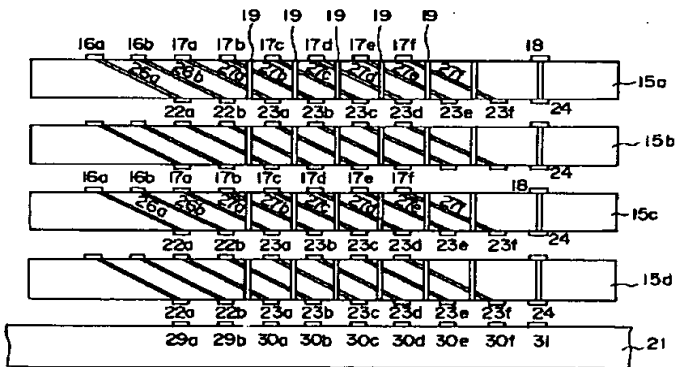


図7の表面側配線と裏面側配線の関係を示す図

【図11】

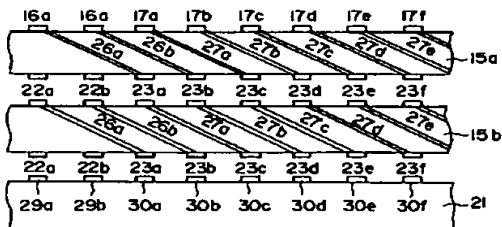
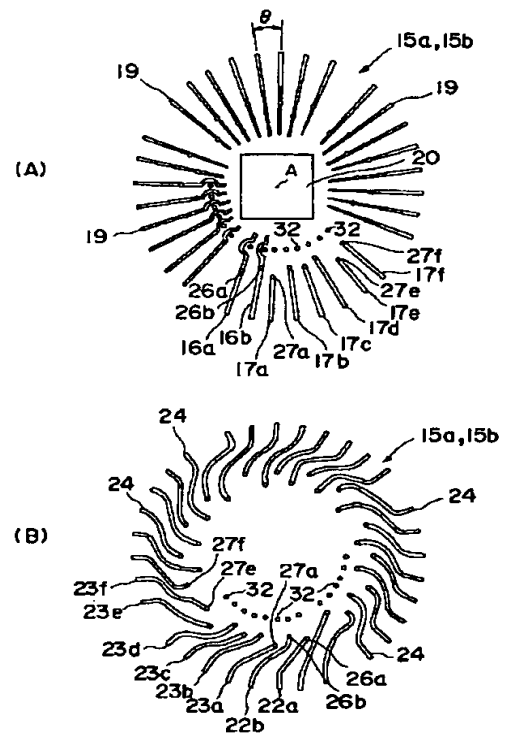


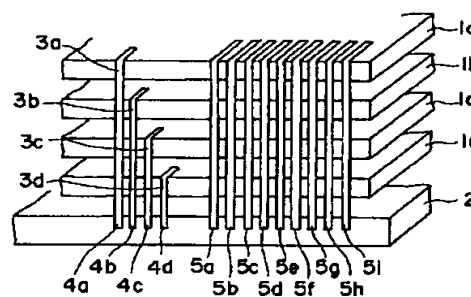
図10の表面側配線と裏面側配線の関係を示す図

【図10】



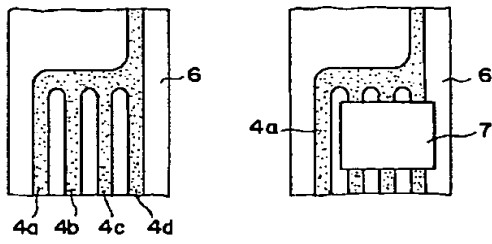
本発明の更に他の実施例を示す図

【図12】



従来の構造を示す概略斜視図

【図13】

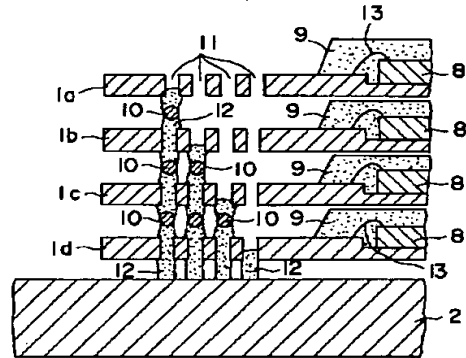


(A)

(B)

図12のTABテープの一部を示す平面図

【図14】



従来の他の装置を示す一部詳細な断面図